



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: : Atty. Docket No.: 00-GR1-374
Catherine MALLARDEAU et al. : Group Art Unit: 2816
Serial No.: 09/955,926 :
Confirmation No.: 9396 :
Filed: September 18, 2001 :
For: INTEGRATED CIRCUIT INCLUDING :
ACTIVE COMPONENTS AND AT LEAST :
ONE PASSIVE COMPONENT AND :
ASSOCIATED FABRICATION METHOD :
:

CLAIM FOR PRIORITY UNDER 35 USC §119

**Assistant Commissioner for Patents
Washington, D.C. 20231**

Sir

Under the provisions of 35 USC §119, there is filed herewith a certified copy of French Application No. 0110866 filed on August 16, 2001, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

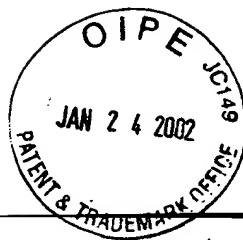
Date: 12/18/01

By:


Stephen Bongini
Reg. No. 40 917

**FLEIT, KAIN, GIBBONS,
GUTMAN & BONGINI P.L.
One Boca Commerce Center
551 NW 77th Street, Suit 111
Boca Raton, Florida 33487
Telephone: (561) 989-9811
Facsimil : (561) 989-9812**

THIS PAGE BLANK (USPS)



D'ADDITION - D'IDE

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 09 OCT. 2001

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

THIS PAGE BLANK (USPTO)

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 549 W / 26389

REMISSION DES PIÈCES DATE LIEU		16 AOUT 2001 75 INPI PARIS B	
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		0110866	
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI		16 AOUT 2001	
Vos références pour ce dossier (facultatif)		B00/4253FR	

Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N°	Date / /
		N°	Date / /
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/>	Date / /

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Circuit intégré comprenant des éléments actifs et au moins un élément passif, notamment des cellules mémoire DRAM et procédé de fabrication.

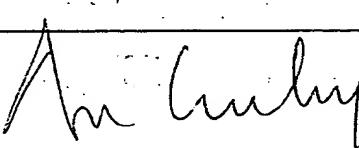
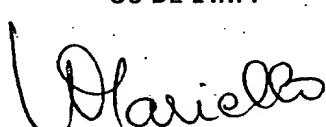
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»
Nom ou dénomination sociale		STMicroelectronics SA
Prénoms		
Forme juridique		Société Anonyme
N° SIREN		
Code APE-NAF		
Adresse	Rue	29 boulevard Romain Rolland
	Code postal et ville	92120 MONTROUGE
Pays		FRANCE
Nationalité		Française
N° de téléphone (facultatif)		
N° de télécopie (facultatif)		
Adresse électronique (facultatif)		

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES		Réserve à l'INPI
DATE	16 AOUT 2001	
LIEU	75 INPI PARIS B	
N° D'ENREGISTREMENT	0110866	
NATIONAL ATTRIBUÉ PAR L'INPI		

DB 540 W 190500

Vos références pour ce dossier : (facultatif)		BOO/4253FR
6 MANDATAIRE		
<p>Nom _____ Prénom _____ Cabinet ou Société _____ N° de pouvoir permanent et/ou de lien contractuel _____</p>		
Adresse	Rue	BUREAU D.A. CASALONGA-JOSSE 8 avenue Percier 75008 PARIS
N° de téléphone (facultatif) _____ N° de télécopie (facultatif) _____ Adresse électronique (facultatif) _____		
7 INVENTEUR (S)		
Les inventeurs sont les demandeurs <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée		
8 RAPPORT DE RECHERCHE		
Etablissement immédiat ou établissement différé <input checked="" type="checkbox"/> <input type="checkbox"/>		
Paiement échelonné de la redevance <input type="checkbox"/> Oui <input type="checkbox"/> Non		
9 RÉDUCTION DU TAUX DES REDEVANCES		
Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence)		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		 A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle
		VISA DE LA PRÉFECTURE OU DE L'INPI 

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
 75800 Paris Cedex 08
 Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W/260899

Vos références pour ce dossier (facultatif)		B 00/4253 FR	
N° D'ENREGISTREMENT NATIONAL		0110866	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
Circuit intégré comprenant des éléments actifs et au moins un élément passif, notamment des cellules mémoire DRAM et procédé de fabrication.			
LE(S) DEMANDEUR(S) :			
Société Anonyme dite : STMicroelectronics SA			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» Si'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		MALLARDEAU	
Prénoms		Catherine	
Adresse	Rue	4 place Grenette	
	Code postal et ville	38000	Grenoble
Société d'appartenance (facultatif)			
Nom		MAZOYER	
Prénoms		Pascale	
Adresse	Rue	14 cours de la Libération	
	Code postal et ville	38100	Grenoble
Société d'appartenance (facultatif)			
Nom		PIAZZA	
Prénoms		Marc	
Adresse	Rue	290 rue de l'Arclusaz, Chaley 2	
	Code postal et ville	38570	Pontcharra
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 20 août 2001  A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle	

Circuit intégré comprenant des éléments actifs et au moins un élément passif, notamment des cellules mémoire DRAM et procédé de fabrication.

5

La présente invention concerne, de façon générale, les circuits intégrés comprenant une pluralité d'éléments actifs et au moins un, de préférence plusieurs, éléments passifs, ainsi qu'un procédé de fabrication de tels circuits intégrés. Plus particulièrement, la présente 10 invention concerne la réalisation d'un circuit intégré comprenant une pluralité d'éléments actifs et comportant en son sein un plan de cellules mémoire du type dynamique à accès aléatoire (DRAM)

Une cellule mémoire de type DRAM (figure 1), est constituée d'un transistor MOS de contrôle T et d'un condensateur C de stockage 15 connectés en série entre une masse électrique M et une ligne de bits BL. La grille du transistor de contrôle T est reliée à une ligne de mots WL. Le transistor T contrôle le passage de charges électriques entre le condensateur C et la ligne de bits BL. La charge électrique du condensateur C détermine le niveau logique 1 ou 0 de la cellule 20 mémoire. Pendant la lecture du point mémoire, on décharge le condensateur C dans la ligne de bits BL. Pour obtenir une lecture rapide et sûre de la valeur de la charge électrique du condensateur C de stockage, la capacité de ce condensateur doit être importante vis à vis de la capacité présentée par la ligne de bits BL pendant la phase de lecture.

Un grand nombre de cellules DRAM ainsi constituées sont 25 assemblées sous la forme d'une matrice de façon à générer un plan mémoire pouvant comporter des millions de cellules élémentaires. Le plan mémoire est, pour certaines applications, situé au sein d'un circuit intégré complexe. On parle alors de mémoire embarquée.

De nombreuses possibilités existent pour réaliser les 30 condensateurs de stockage des cellules d'une telle mémoire embarquée. Dans le cadre des circuits intégrés utilisant des transistors MOS submicroniques et comportant un plan mémoire DRAM embarqué, on

préfère généralement réaliser d'abord les composants du circuit intégré dans le substrat et, ensuite, les condensateurs de stockage C au-dessus de ces éléments actifs et avant les niveaux d'interconnexions métalliques. Cette séquence de réalisation est la plus efficace pour 5 obtenir une densité maximale d'intégration des composants du circuit intégré. On peut ainsi utiliser toute la surface du silicium du plan mémoire pour les transistors de contrôle et développer en hauteur les électrodes des condensateurs de stockage afin d'augmenter la valeur de la capacité de chaque condensateur.

10 Les condensateurs de stockage sont généralement constitués de deux armatures conductrices, par exemple en silicium polycristallin dopé, séparées par une couche de diélectrique dont l'épaisseur est de l'ordre de 20nm. Pour réaliser un tel condensateur de stockage, on relie une armature du condensateur à l'une des jonctions du transistor MOS 15 de contrôle T (figure 1). On peut réaliser un contact ohmique entre le silicium polycristallin constituant l'une des armatures du condensateur de stockage et une région de silicium monocristallin dopée, à condition que les deux zones présentent un même type de conductivité.

20 On va décrire de manière plus précise un mode de réalisation connu d'un tel condensateur de stockage d'une cellule d'un plan mémoire DRAM embarqué.

25 La figure 2 représente en coupe un exemple de circuit intégré de type connu, dont on voit, sur la partie droite, un transistor MOS 1 de type N et sur la partie gauche un condensateur 2 utilisable comme condensateur de stockage dans une cellule d'un plan mémoire DRAM embarquée.

30 Ce circuit intégré est généralement réalisé de la manière suivante.

A partir d'un substrat en silicium monocristallin 3 de type de conductivité P, on réalise des tranchées peu profondes 7 remplies d'un matériau isolant. Entre ces tranchées, des zones actives de silicium monocristallin 5 et 6 affleurent à la surface du substrat. On forme un oxyde 8 à la surface du substrat et on dépose du silicium polycristallin 10 sur la surface de l'oxyde 8. On grave ensuite le silicium

polycristallin 10 afin de réaliser, notamment, la grille de commande du transistor MOS 1 ainsi que celle des autres transistors MOS du circuit intégré.

5 De manière classique, on implante des dopants de type N. Cette implantation est masquée par le silicium polycristallin 10 de telle façon que seules les portions 5a, 6a des zones actives 5 et 6 découvertes soient transformées en du silicium de type de conductivité N. On obtient dans les zones 5a et 6a découvertes, un niveau de dopage, noté N, sur la figure 2, supérieur à 5.10^{19} at/cm³ propice à la formation de contacts 10 ohmiques.

On dépose ensuite successivement deux couches isolantes 12 et 13, qui doivent être telles qu'elles puissent être gravées sélectivement l'une par rapport à l'autre. On rend plane, par une étape de CMP (polissage mécanique et chimique), la surface de la couche isolante 15 externe 13. On creuse une cavité 16 dans la couche isolante 13 et on réalise un trou de contact 17 entre le fond de la cavité 16 et la surface de la zone active 6a.

20 On dépose ensuite du silicium polycristallin 18 de telle manière qu'il remplisse le trou de contact 17 et qu'il tapisse le fond et les bords de la cavité 16. Le silicium polycristallin 18 constitue la première armature du condensateur 2. Il doit être fortement dopé afin de diminuer les résistances parasites, notamment dans le trou de contact 17. Le silicium polycristallin 18 doit avoir un niveau de dopage de type de conductivité N, au minimum de 5×10^{19} at/cm³ à l'intérieur du trou de contact 17. Pour ce faire on peut déposer un silicium polycristallin dopé in-situ par une méthode de dépôt chimique en phase gazeuse (CVD : Chemical, Vapor, Deposition). Le dopant présent durant le dépôt ralentit fortement la vitesse de dépôt et augmente ainsi le coût de ce dépôt. Une autre méthode est de déposer un silicium polycristallin non dopé et de le doper par implantation ionique. Dans ce cas il faut recuire fortement la structure pour assurer un fort dopage sur toute l'épaisseur de la couche 25 et en particulier dans le trou de contact 17. Le budget thermique associé à un tel recuit de diffusion (950 °C pendant 20 mn) peut être

incompatible avec la réalisation des transistors MOS de dimensions submicroniques. Enfin il ne faut pas que le dopant de la couche 18 pénètre dans la zone active du silicium monocristallin de type de conductivité N sous-jacent sous peine de l'élargir et de la perturber. On préfère alors utiliser de l'arsenic comme dopant pour le silicium polycristallin. En effet, l'arsenic a la propriété de ne pas traverser facilement les interfaces silicium polycristallin/silicium monocristallin. Mais l'arsenic diffuse peu et il faut augmenter le budget thermique en conséquence.

10 Afin de terminer le condensateur 2, on réalise un dépôt d'isolant 19, par exemple de l'oxyde de silicium ou du nitrate de silicium, déposé en CVD. Puis on dépose une couche 20 en silicium polycristallin dopé au-dessus des couches 18 et 19, de façon à constituer la deuxième armature du condensateur 2. Une étape de polissage CMP élimine les 15 couches 18, 19, et 20 pouvant être présentes au-dessus de la surface supérieure de la couche isolante 13.

11 On réalise ensuite un niveau d'interconnexion en effectuant les étapes suivantes. On dépose une couche d'oxyde 30 et on grave des ouvertures de contact 31 et 32. L'ouverture de contact 31 débouche sur 20 l'une des jonctions du transistor MOS 1 et l'ouverture de contact 32 débouche sur la deuxième armature 20 du condensateur 2. On comble ensuite les trous de contact 31 et 32 avec des plots 33 et 34 en tungstène. On dépose enfin un métal 35 que l'on grave afin de réaliser le premier niveau d'interconnexion du circuit intégré.

25 Un tel mode de réalisation connaît présente de nombreux inconvénients.

Tout d'abord, on note des difficultés en ce qui concerne le contact ohmique entre le silicium polycristallin 18 constituant l'une des armatures du condensateur 2 et la région 6a de silicium monocristallin dopée. En effet, la résistance du contact est importante car le silicium polycristallin est résistif. De plus, le rendement du contact n'est pas très bon car la technologie utilisant un contact direct entre du silicium polycristallin et du silicium monocristallin n'est pas répandue et la

qualité de l'interface silicium monocristallin/silicium polycristallin est difficilement contrôlable et reproductible.

Enfin, pour des problèmes de rendement, la surface de contact du trou 17 est en général plus petite que celle de la diffusion 6a correspondante. Le trou de contact 17 est non débordant. Il ne chevauche pas la frontière entre la zone active 6a et la tranchée 7.

On se heurte de plus à des contraintes technologiques importantes. C'est ainsi que la gravure de la couche isolante 13 par rapport à la couche isolante 12 doit être sélective. Cette nécessaire sélectivité rend le choix des isolants critique ou complique notamment l'empilement des couches isolantes 12 et 13. La topologie de la cavité 16, qui est profonde et étroite, rend difficile la réalisation du trou de contact 17 au fond de cette cavité. En outre, le dépôt de la couche 18 constituant la première armature du condensateur 2 est peu fiable en termes de qualité du contact, difficile et cher. L'épaisseur importante de la couche 18 au droit du trou 17 constitue une difficulté supplémentaire.

Enfin, le trou de contact 31 est très profond, plusieurs micromètres, car il traverse successivement les couches d'isolant 30, 13 et 12. Les trous de contacts 31 et 32 présentent des profondeurs très différentes. Il en résulte une grande difficulté technologique pour réaliser de tels contacts avec des règles de dessin minimales. On est donc obligé d'utiliser des règles de dessin plus grandes, ce qui a pour conséquence l'augmentation de la surface du circuit intégré.

La présente invention a pour objet d'éliminer ou de réduire 25 notamment les inconvénients qui viennent d'être exposés.

Un objet de la présente invention est ainsi de réaliser un contact électrique de faible résistance entre d'une part un composant passif situé au-dessus des transistors d'un circuit intégré et au-dessous d'un premier niveau d'interconnexion et d'autre part un autre composant du 30 circuit intégré.

Un autre objet de la présente invention est de pouvoir contacter un matériau, constituant d'un composant passif, polluant vis à vis du circuit intégré, avec du silicium monocristallin.

Un autre objet de la présente invention est de réaliser des contacts fiables entre le condensateur de stockage d'une cellule mémoire DRAM embarquée et une jonction du transistor de contrôle de ce condensateur.

5 Un autre objet de la présente invention est de permettre la réalisation d'un contact électrique entre le condensateur de stockage d'une cellule mémoire DRAM embarquée et une jonction du transistor de contrôle de ce condensateur sans utiliser d'étapes spécifiques.

10 Un autre objet de la présente invention est de rendre plus facile la réalisation des ouvertures de contacts entre le premier niveau métallique d'interconnexion et les éléments actifs d'un circuit intégré.

15 Un circuit intégré selon l'invention comprend une pluralité de composants actifs comportant des jonctions formées dans un substrat monocristallin convenablement dopé localement et au moins un composant passif situé au-dessus des composants actifs et électriquement connecté à au moins l'un desdits composants actifs. Une première couche isolante sépare les composants actifs et la base du composant passif. Selon l'invention, la connexion électrique est réalisée au moyen d'un plot métallique formé dans l'épaisseur de ladite couche isolante et présentant une surface de contact débordant des limites d'une jonction d'un composant actif.

20 Selon un mode de réalisation de l'invention, le circuit intégré comprend une pluralité de transistors et de composants passifs avec un niveau de connexions métalliques locales réalisé au sein d'une première couche d'isolant déposée au-dessus des transistors du circuit intégré. Le circuit intégré comprend trois types de plots métalliques qui traversent toute l'épaisseur de la première couche d'isolant.

25 Le premier type de plot constitue un premier étage de prises de contact entre une zone active du circuit intégré et un premier niveau d'interconnexion. Le deuxième type de plot relie verticalement une zone active du circuit intégré avec un composant passif reposant sur le premier isolant. Le troisième type de plot relie horizontalement deux zones actives disjointes du circuit intégré.

Le deuxième plot peut avantageusement présenter une surface de contact débordant des limites d'une jonction d'un composant actif.

Les composants passifs peuvent comprendre des condensateurs ou des inductances.

5. De préférence, l'épaisseur finale de la première couche d'isolant est supérieure à 0,3 micromètres.

Avantageusement, la surface supérieure de la première couche d'isolant est plane.

10. Les plots métalliques sont de préférence réalisés principalement en tungstène.

Dans un mode de réalisation avantageux, le composant passif est encastré dans une cavité formée sur toute l'épaisseur d'une seconde couche d'isolant déposée au-dessus de la première couche d'isolant. L'épaisseur de la seconde couche d'isolant est 15. avantageusement supérieure à 2 micromètres.

Selon un mode de réalisation préféré, le circuit intégré comprend un plan mémoire embarqué de cellules DRAM matricées, chacune desdites cellules comportant un transistor de contrôle et un condensateur de stockage. Le circuit intégré comprend également une 20 pluralité de transistors MOS. Un premier niveau d'interconnexion est

situé au-dessus des condensateurs de stockage. Une première couche d'isolant sépare les transistors MOS et la base des condensateurs de stockage. Un niveau de connexions locales comporte trois types de plots métalliques débouchant de part et d'autre de la couche d'isolant.

25. Le premier type de plot forme un premier étage de prise de contact entre une zone active du circuit intégré et le premier niveau d'interconnexion. Le second type de plot relie verticalement une zone active du circuit intégré avec une armature du condensateur de stockage. Et le troisième type de plot relie horizontalement deux zones actives disjointes du circuit intégré.

30. Le second type de plot peut avantageusement présenter une surface de contact débordant des limites d'une jonction d'un composant actif.

Dans une variante, le circuit intégré comporte une deuxième couche d'isolant située au-dessus de la première couche d'isolant. Une cavité traverse toute l'épaisseur de la deuxième couche d'isolant et débouche à la surface supérieure du deuxième type de plot. La première 5 électrode d'une capacité de stockage tapisse le fond et les flancs internes de ladite cavité.

On peut également prévoir une troisième couche d'isolant située au-dessus de la seconde couche d'isolant.

Une ouverture de contact peut traverser les seconde et 10 troisième couches d'isolant et déboucher à la surface supérieure du plot métallique du premier type.

Le procédé de fabrication selon l'invention d'un circuit intégré comportant d'une part un plan mémoire embarqué de cellules DRAM matricée, chacune desdites cellules étant constituée d'un transistor de contrôle et d'un condensateur de stockage et d'autre part une pluralité 15 de transistors MOS, comprend les étapes suivantes :

- réaliser des transistors dans un substrat de silicium ;
- déposer une première couche d'isolant au dessus des transistors ;
- effectuer une opération de polissage afin de rendre plane la 20 surface dudit isolant ;
- creuser des cavités à travers la couche isolante et les combler avec des plots métalliques de telle façon qu'un premier type de plot soit en contact électrique, par sa partie inférieure, avec au moins un composant du circuit intégré sous-jacent, qu'un second type de plot soit en contact électrique, par sa partie inférieure, avec une jonction du transistor de contrôle et qu'un troisième type de plot soit en contact électrique, par sa partie inférieure, avec des éléments du circuit intégré 25 que l'on veut interconnecter ; et
- former au-dessus d'un plot du second type un condensateur de telle façon que l'électrode inférieure du condensateur soit 30

en contact électrique avec la partie supérieure du plot du second type.

Dans un mode de réalisation, le procédé de fabrication comprend les étapes suivantes après la formation des plots métalliques :

- déposer une deuxième couche d'isolant d'épaisseur supérieure à 2 micromètres au dessus de la première couche d'isolant et de la surface supérieure des plots métalliques ;
- creuser des cavités à travers la deuxième couche isolante et jusqu'à la surface supérieure d'un second type de plot ; et
- développer les électrodes du condensateur de stockage sur le fond de la cavité ainsi que sur les flancs de ladite cavité.

La présente invention sera mieux comprise à l'étude de la description détaillée d'un mode de réalisation pris à titre d'exemple, nullement limitatif, et illustré par les dessins annexés, parmi lesquels :

la figure 1 représente le schéma de principe d'un point mémoire DRAM classique;

la figure 2 illustre par une vue en coupe, un circuit intégré de type connu;

la figure 3 illustre par une vue en coupe, une première étape de réalisation d'un circuit intégré selon l'invention ;

la figure 4 est une vue de dessus du circuit intégré à l'étape illustrée par la figure 3 ;

la figure 5 illustre, en coupe, une étape de réalisation faisant suite à l'étape de la figure 3 ;

et la figure 6 illustre, en coupe, une étape de réalisation faisant suite à l'étape de la figure 5.

Dans les diverses figures, des éléments homologues sont désignés par les mêmes références. De plus, comme cela est habituel dans la représentation des circuits intégrés, les diverses figures ne sont pas tracées à l'échelle.

La figure 3 représente, à titre d'exemple, une première étape de réalisation d'un circuit intégré comportant un plan de cellules mémoire

DRAM embarquées, selon la présente invention. La partie gauche de la figure 3 représente un transistor T de contrôle du condensateur de stockage d'un point mémoire. La partie droite de la figure 3 représente un autre transistor quelconque Ti du circuit intégré à titre d'exemple d'élément actif. La réalisation de ces deux transistors est faite de la manière suivante. Sur un substrat 100 en silicium monocristallin de type de conductivité P on réalise des tranchées peu profondes 101 remplies d'un matériau diélectrique. Un oxyde de grille 103 est formé. On dépose ensuite une couche de silicium polycristallin. Ce silicium polycristallin après gravure forme la grille de commande 102 des transistors MOS. Cette grille est isolée du substrat par l'oxyde de grille 103. Une implantation ionique d'ions phosphore ou arsenic permet de créer, dans le silicium monocristallin découvert pendant l'opération d'implantation, des régions 104 de silicium monocristallin dopées de type de conductivité N. Cette même implantation permet également de rendre conducteur le silicium polycristallin restant après gravure.

On dépose ensuite un premier oxyde épais 105. Une opération de type CMP permet par polissage mécanique et chimique de rendre plane la surface de l'oxyde déposé 105. L'épaisseur de cet oxyde est d'environ 0,4 microns. Elle fluctue suivant le relief sous-jacent du circuit. On creuse des cavités 106a, 107a, 108a dans le premier oxyde épais 105. Un dépôt de métal suivi d'une opération de polissage permet de réaliser des plots métalliques 106, 107, 108, par exemple en tungstène, uniquement dans les cavités creusées 106a, 107a et 108a. La fonctionnalité et les dimensions de ces plots sont différentes. Le plot 106 est un premier étage de prise de contact sur les composants du circuit intégré. Le plot 107 sert de connexion verticale entre une des deux jonctions du transistor MOS de contrôle T de la cellule DRAM et la première électrode du condensateur de stockage non encore formé de la cellule mémoire DRAM embarquée. Le plot 108 est un niveau d'interconnexion local. Il est utilisé pour connecter deux composants rapprochés du circuit intégré. Par exemple, le plot 108 est susceptible de relier directement la grille 102 du transistor MOS Ti en silicium

polycristallin avec une zone voisine de silicium monocristallin fortement dopé. Le plot 108 peut permettre également, par exemple, de connecter deux zones actives disjointes et proches, pourvu qu'il n'y ait pas d'autre composant du circuit intégré sur le parcours du plot 108.

5 La figure 4 est une vue de dessus de la figure 3. Sur la figure 4 le complément des tranchées peu profondes 101 est représenté par les rectangles 109. Ce sont les zones actives de silicium monocristallin dans lesquelles on forme divers composants du circuit intégré. Les rectangles 102 représentent le silicium polycristallin gravé. Les plots métalliques 10, 106, 107, 108 sont également reportés.

La dimension du plot 106, premier étage de prise de contact, est un paramètre qui détermine la densité d'intégration du circuit intégré. Elle doit être la plus petite possible. La dimension de ce plot 106 dépend, en pratique, de la taille minimale autorisée pour le processus de fabrication utilisé, mais également de l'épaisseur de la couche 105 gravée précédemment à la réalisation de ce plot. Plus l'épaisseur de la couche 105 est fine, plus la précision de la gravure de cette couche est grande. Le procédé de fabrication de l'invention permet de réduire l'épaisseur de l'oxyde 105 qui doit principalement recouvrir tous les 20 composants du circuit intégré et en particulier le silicium polycristallin 102.

La dimension du plot 107, connexion verticale entre la zone active 109 et l'électrode inférieure du condensateur de stockage de la cellule DRAM, non encore réalisé à ce stade, est adaptée à cette 25 configuration de connexion particulière. Le plot 107 est le plus grand possible à la condition de ne pas créer de contact électrique non voulu entre les différents composants du circuit intégré.

La dimension du plot 108, niveau d'interconnexion local, est adaptée à la connectivité que l'on veut réaliser. Dans l'exemple de la 30 figure 4, le plot 108 crée un contact électrique entre la grille du transistor MOS Ti et une jonction de ce même transistor MOS Ti. Il est également possible de prolonger le plot 108 vers d'autres composants du circuit intégré non représentés sur la figure 4.

La figure 5 représente une étape suivante de la réalisation du circuit intégré pris à titre d'exemple selon la présente invention. Cette figure montre la réalisation du condensateur C de stockage de la cellule mémoire DRAM embarquée. On dépose une deuxième couche d'isolant 113 sur la surface supérieure de la couche 105, dans laquelle ont été précédemment formés les plots en tungstène 106, 107, 108. A ce moment du procédé, deux couches d'isolants 105 et 113 sont superposées. Ces deux couches peuvent être de natures différentes pour pouvoir être gravées sélectivement l'une par rapport à l'autre. Elles peuvent également être de même nature, par exemple en oxyde de silicium, et être séparées par une troisième couche, par exemple en nitrite de silicium. Un tel empilement permet une gravure sélective de la couche 113 avec arrêt de la gravure dans la couche intermédiaire.

On grave ensuite une cavité 116 dans l'isolant 113. A cause des sélectivités de gravure, le fond de la cavité 116 est sensiblement plan et repose d'une part sur la surface supérieure du plot de tungstène 107 et d'autre part sur la surface supérieure de la couche d'oxyde 105.

On réalise alors le condensateur de stockage C de la cellule mémoire DRAM à l'intérieur de la cavité 116. La profondeur de la cavité détermine, en partie, la valeur de la capacité du condensateur C. Aussi l'épaisseur de l'isolant 113 peut être supérieure à plusieurs micromètres si on veut obtenir une capacité de forte valeur pour le condensateur C. On dépose du silicium polycristallin de telle manière qu'il tapisse le fond et les bords de la cavité 116. Ce silicium polycristallin constitue la première armature 126 du condensateur C. Afin de réduire les résistances de contact, il doit être fortement dopé en particulier au niveau de l'interface avec le plot de tungstène 107. On satisfait aisément cette exigence de dopage puisque l'épaisseur du silicium polycristallin à doper est uniquement l'épaisseur de silicium polycristallin déposé. Il n'y a plus, comme pour l'art antérieur, un effet de relief qui augmentait localement cette épaisseur de silicium polycristallin devant être dopé. De ce fait, une implantation de phosphore suivie d'un recuit rapide (RTA) 20 secondes à 1000 °C est

par exemple suffisante. Le budget thermique est faible et on utilise un atome qui diffuse facilement. Grâce au plot de tungstène 107 qui crée une barrière à la diffusion, les atomes de phosphore provenant de la couche de silicium polycristallin 126 ne peuvent en aucun cas pénétrer jusqu'à la jonction N très fine de la région 104 du transistor T et ne risquent donc pas de la perturber. Le dopage de la couche 126 est de type de conductivité indifférent, et non obligatoirement du même type de conductivité que la jonction dans le silicium monocristallin 100. On dépose ensuite une couche d'isolant 127, par exemple de l'oxyde de silicium ou du nitrate de silicium. Une deuxième armature 128 en silicium polycristallin dopé est formée à l'intérieur de la cavité 116 et au-dessus des couches 126 et 127. Une étape de polissage CMP élimine les excès de matériaux des couches 126, 127 et 128 pouvant être présents au-dessus de la couche d'isolant 113.

Les surfaces du plot de tungstène 107 en contact avec d'une part le silicium monocristallin de la région 104 et d'autre part l'armature 126 sont agrandies afin d'utiliser toute la place disponible, sans augmentation de la surface de la cellule mémoire, pour réduire les résistances de contact. En particulier la réalisation de plots de tungstène est suffisamment bien maîtrisée pour faire un plot 107 débordant du silicium monocristallin dopé de la région 104. Cela n'était pas le cas dans l'art antérieur où le contact se faisait par le silicium polycristallin remplissant le trou 17 (figure 2) car le contact direct entre un silicium monocristallin et un silicium polycristallin est moins bien maîtrisé industriellement. De plus la résistance verticale du plot de tungstène 107 vis à vis de la résistance verticale du silicium polycristallin dans le trou 17 de l'art antérieur est très fortement réduite, d'une part à cause de la résistivité faible du métal et d'autre part à cause de la section agrandie du plot 107 par rapport au trou 17. On notera que cet aspect important de l'invention, peut également s'appliquer chaque fois qu'un contact métallique doit connecter électriquement un élément actif d'un circuit intégré, comportant une jonction, avec un élément passif tel qu'un

condensateur, une résistance ou une inductance, situé à un niveau supérieur à celui de l'élément actif.

La figure 6 illustre l'étape suivante du procédé de réalisation du circuit intégré comportant une mémoire embarquée selon la présente invention. On dépose un troisième oxyde épais 130. Une opération de type CMP permet par polissage mécanique et chimique de rendre plane la surface de cet oxyde déposé 130. L'épaisseur de l'oxyde 130 est d'environ 0,5 micromètre. On grave ensuite une ouverture de contact 131 à travers les isolants 130 et 113 et une ouverture de contact 132 à travers l'isolant 130. On comble alors ces ouvertures avec des plots métalliques 133, 134, par exemple en tungstène. Les bases des plots 133 et 134 sont respectivement en contact électrique avec d'une part la partie supérieure du plot en tungstène 106 et d'autre part la seconde armature 128 en silicium polycristallin du condensateur C. Une couche métallique 135, par exemple en aluminium, est alors déposée et gravée. Elle constitue le premier niveau d'interconnexion du circuit intégré. Le plot en tungstène 133 repose sur le plot 106. Il constitue un deuxième étage de prise de contact sur les composants du circuit intégré.

L'opération technologique permettant l'ouverture des contacts du circuit intégré est facilitée par le procédé selon l'invention, car ces ouvertures s'effectuent en deux fois à travers des épaisseurs réduites d'oxyde d'isolation. Cela est particulièrement important car la présence du condensateur C augmente très sensiblement les distances verticales, à cause de la présence de la couche d'oxyde 113. La présente invention permet ainsi d'éviter d'ouvrir des contacts sur toute l'épaisseur des trois isolants 105, 113 et 130, ce qui aurait entraîné une augmentation des règles de dessin minimales du circuit intégré. La densité en composants d'un circuit comportant une mémoire DRAM embarquée selon la présente invention, est ainsi notablement augmentée.

De nombreuses variantes peuvent être envisagées. On a décrit uniquement les étapes principales d'un exemple du procédé de fabrication d'un circuit intégré selon l'invention. En particulier les types de jonction peuvent être changés. Les zones actives, le silicium

polycristallin peuvent être siliciumés. Le nombre et la nature des couches isolantes ne sont pas limités. Le nombre et la nature des niveaux d'interconnexion ne sont pas limités. La technologie utilisée conjointement aux cellules mémoires DRAM embarquées peut être quelconque, par exemple à base de bipolaires, de JFET, etc.

L'invention est applicable à tout type de condensateur situé au-dessus des éléments actifs d'un circuit intégré et permet un contact de haute qualité et de faible résistance, une fabrication économique, et un gain de place dans le circuit.

On peut également substituer au condensateur C réalisé dans la cavité 116 illustrée, une inductance en cuivre réalisée par un procédé damascène utilisant une cavité similaire.

Bien que l'invention ait été décrite en relation avec un condensateur, on comprendra qu'elle puisse s'appliquer de la même manière à tout type d'élément passif, résistance ou inductance, situé au-dessus des éléments actifs d'un circuit intégré et permettre également la réalisation d'un contact de haute qualité et de faible résistance, une fabrication économique, et un gain de place dans le circuit.

L'invention est ainsi applicable à tout type de composant passif comportant, en particulier, des matériaux polluants ne pouvant être mis en contact directement avec du silicium monocristallin. C'est le cas, notamment des inductances en cuivre et des capacités utilisant des matériaux perovskites (PZT).

REVENDICATIONS

1. Circuit intégré comprenant une pluralité de composants actifs comportant des jonctions formées dans un substrat monocristallin convenablement dopé localement et au moins un composant passif situé au dessus des composants actifs et électriquement connecté à au moins l'un desdits composants actifs, une première couche isolante (105) séparant les composants actifs et la base du composant passif, caractérisé par le fait que la connexion électrique est réalisée au moyen d'un plot métallique formé dans l'épaisseur de ladite couche isolante et présentant une surface de contact débordant des limites d'une jonction d'un composant actif.
2. Circuit intégré comprenant une pluralité de transistors et de composants passifs avec un niveau de connexions métalliques locales réalisé au sein d'une première couche d'isolant (105) déposée au dessus des transistors du circuit intégré, caractérisé en ce qu'il comprend trois types de plots (106, 107, 108) métalliques qui traversent toute l'épaisseur de la première couche d'isolant (105):
 - le premier type de plot (106) constituant un premier étage de prises de contact entre une zone active du circuit intégré et un premier niveau d'interconnexion (135);
 - le deuxième type de plot (107) reliant verticalement une zone active du circuit intégré avec un composant passif reposant sur le premier isolant (105); et
 - le troisième type de plot reliant horizontalement deux zones actives disjointes du circuit intégré.
3. Circuit intégré selon la revendication 2, caractérisé par le fait que le deuxième type de plot (107) présente une surface de contact débordant des limites d'une jonction d'un composant actif.
4. Circuit intégré suivant l'une quelconque des revendications précédentes, caractérisé en ce que lesdits composants passifs comprennent des condensateurs.

5. Circuit intégré suivant l'une quelconque des revendications précédentes, caractérisé en ce que lesdits composants passifs comprennent des inductances.

6. Circuit intégré suivant l'une quelconque des revendications précédentes, caractérisé en ce que : l'épaisseur finale de la première couche d'isolant (105) est supérieure à 0,3 micromètres ; la surface supérieure de la première couche d'isolant (105) est plane ; et les plots (106, 107, 108) métalliques sont réalisés principalement en tungstène.

7. Circuit intégré suivant l'une quelconque des revendications précédentes, caractérisé en ce que ledit composant passif est encastré dans une cavité (116) formée sur toute l'épaisseur d'une seconde couche d'isolant (113) déposée au-dessus de la première couche d'isolant (105).

8. Circuit intégré suivant la revendication 7, caractérisé en ce que l'épaisseur de la seconde couche d'isolant (113) est supérieure à 2 micromètres.

9. Circuit intégré comprenant : un plan mémoire embarqué de cellules DRAM matricées, chacune desdites cellules comportant un transistor de contrôle (T) et un condensateur de stockage (C) ; une pluralité de transistors MOS ; et un premier niveau d'interconnexion (135) situé au-dessus des condensateurs de stockage (C), une première couche d'isolant (105) séparant les transistors MOS et la base des condensateurs de stockage (C), caractérisé en ce qu'un niveau de connexions locales comporte trois types de plots métalliques (106, 107, 108) débouchant de part et d'autre de la couche d'isolant (105), le premier type de plot (106) formant un premier étage de prise de contact entre une zone active du circuit intégré et le premier niveau d'interconnexion (135), le second type de plot (107) reliant verticalement une zone active du circuit intégré avec une armature (126) du condensateur de stockage (C) et le troisième type de plot (108) reliant horizontalement deux zones actives disjointes du circuit intégré.

10. Circuit intégré selon la revendication 9, caractérisé par le fait que le second type de plot (107) présente une surface de contact débordant des limites d'une jonction d'un composant actif.

11. Circuit intégré selon les revendications 9 ou 10, caractérisé en ce qu'il comporte :

- une deuxième couche d'isolant (113) situé au-dessus de la première couche d'isolant (105) ;

10 - une cavité (116) traversant toute l'épaisseur de la deuxième couche d'isolant (113) et débouchant à la surface supérieure du deuxième type de plot (107) ;

- une capacité de stockage dont la première électrode tapisse le fond et les flancs internes de ladite cavité (116).

12. Circuit intégré selon l'une quelconque des revendications 9 à 11, caractérisé en ce qu'il comporte :

15 - une troisième couche d'isolant (130) situé au-dessus de la seconde couche d'isolant (113) ;

- une ouverture de contact (131) traversant les seconde et troisième couches d'isolant et débouchant à la surface supérieure du plot métallique du premier type (106).

20 13. Circuit intégré selon l'une quelconque des revendications 9 à 12, caractérisé en ce que les plots métalliques sont en tungstène.

25 14. Procédé de fabrication d'un circuit intégré comportant d'une part un plan mémoire embarqué de cellules DRAM matricée, chacune desdites cellules étant constituée d'un transistor de contrôle (T) et d'un condensateur de stockage (C) et d'autre part une pluralité de transistors MOS, caractérisé en qu'il comprend les étapes suivantes :

- réaliser des transistors dans un substrat de silicium ;

- déposer une première couche d'isolant (105) au dessus des transistors ;

30 - effectuer une opération de polissage afin de rendre plane la surface dudit isolant ;

- creuser des cavités à travers la couche isolante (105) et les combler avec des plots métalliques de telle façon qu'un premier type de plot (106) soit en contact électrique, par sa partie inférieure, avec au

moins un composant du circuit intégré sous-jacent, qu'un second type de plot (107) soit en contact électrique, par sa partie inférieure, avec une jonction du transistor de contrôle (T) et qu'un troisième type de plot (108) soit en contact électrique, par sa partie inférieure, avec des éléments du circuit intégré que l'on veut interconnecter ; et

- former au-dessus d'un plot du second type un condensateur (C) de telle façon que l'électrode inférieure (126) du condensateur soit en contact électrique avec la partie supérieure du plot du second type.

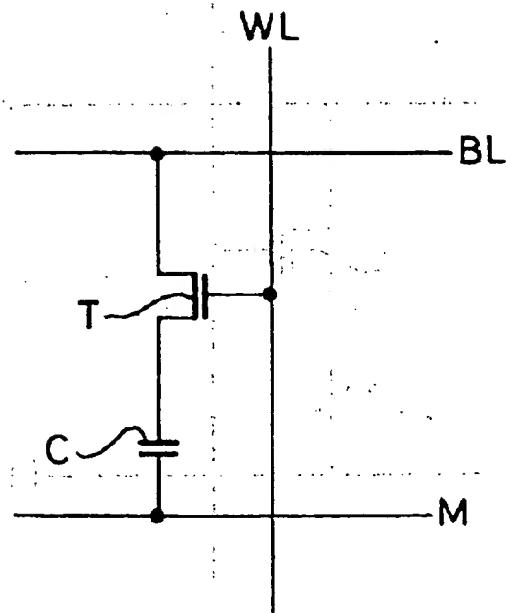
15. Procédé de fabrication d'un circuit intégré suivant la revendication 14, caractérisé en qu'il comprend les étapes suivantes après la formation des plots métalliques :

- déposer une deuxième couche d'isolant (113) d'épaisseur supérieure à 2 micromètres au dessus de la première couche d'isolant (105) et de la surface supérieure des plots (106, 107, 108) métalliques ;

15 - creuser des cavités (116) à travers la deuxième couche isolante (113) et jusqu'à la surface supérieure d'un second type de plot (107) ; et
- développer les électrodes du condensateur (C) de stockage sur le fond de la cavité (116) ainsi que sur les flancs de ladite cavité.

16. Procédé de fabrication d'un circuit intégré suivant la revendication 14 ou 15, caractérisé en que les plots métalliques (106, 107, 108) sont constitués principalement de tungstène.

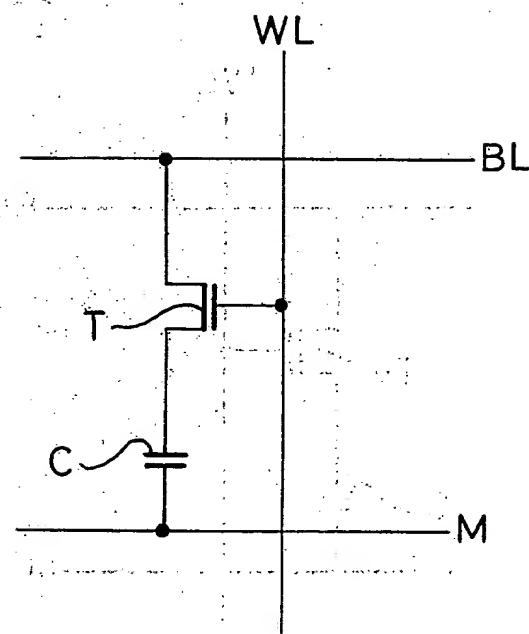
1/5

FIG_1

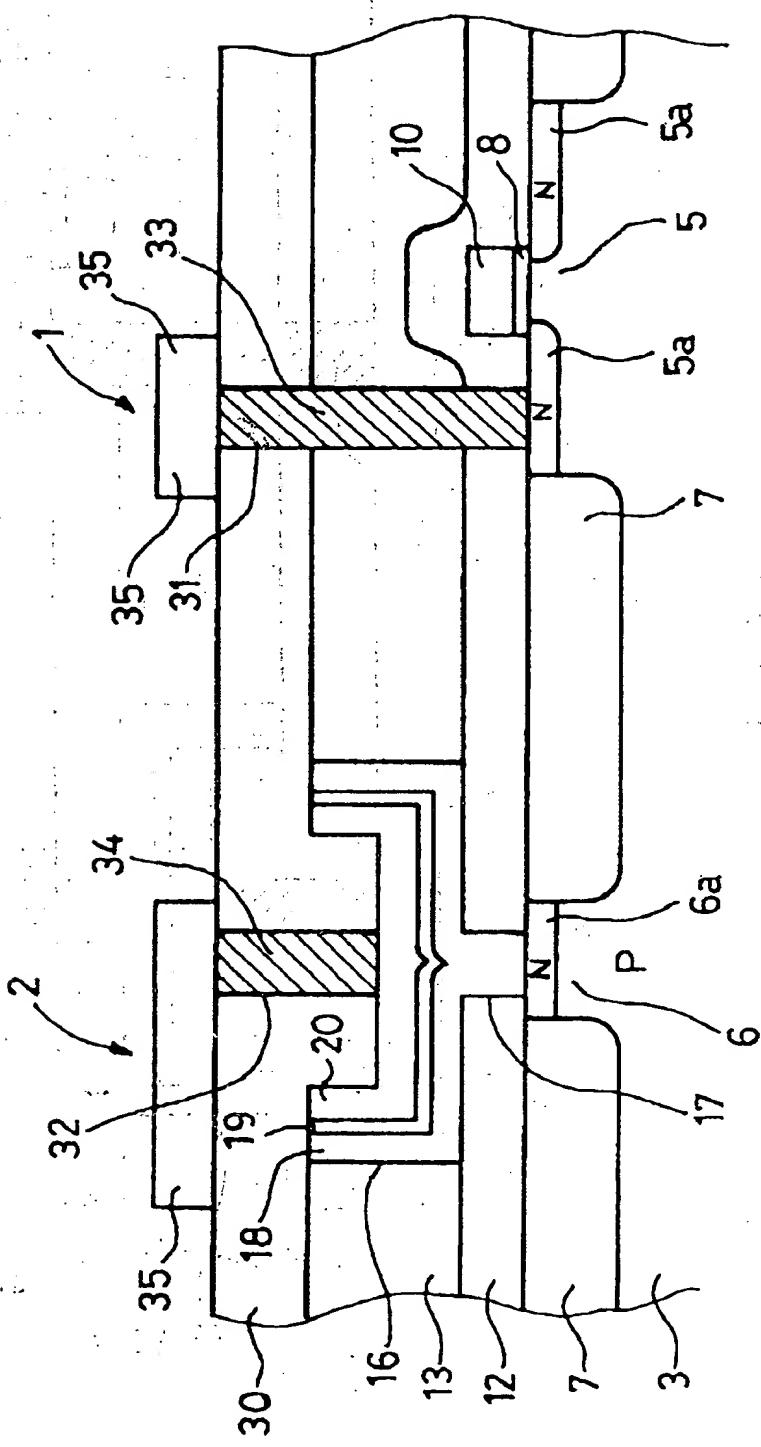
B00/4253 QT

1/5

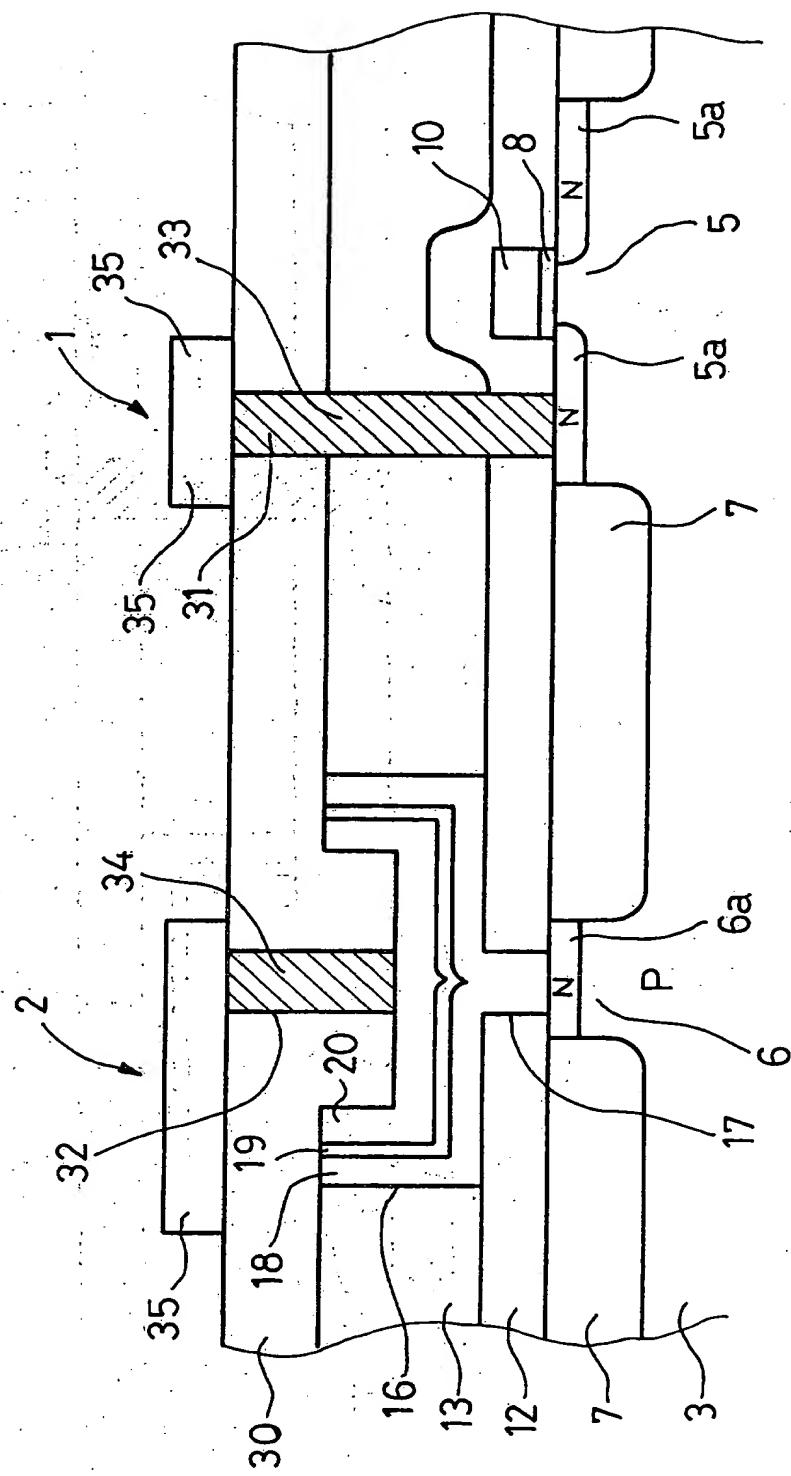
FIG_1



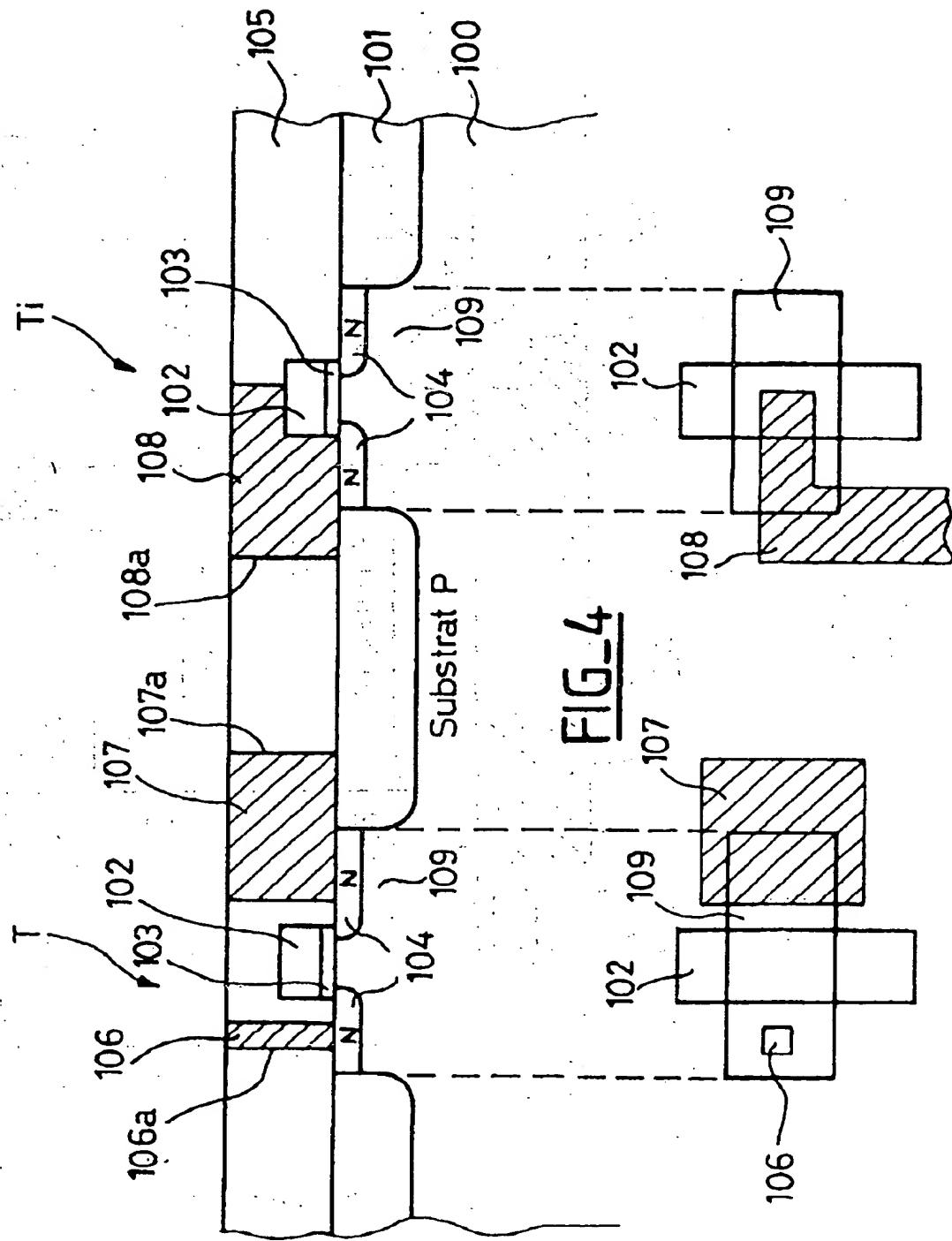
2/5

FIG_2

2/5

FIG-2

3/5

FIG_3

B00/4253 QT

FIG 3

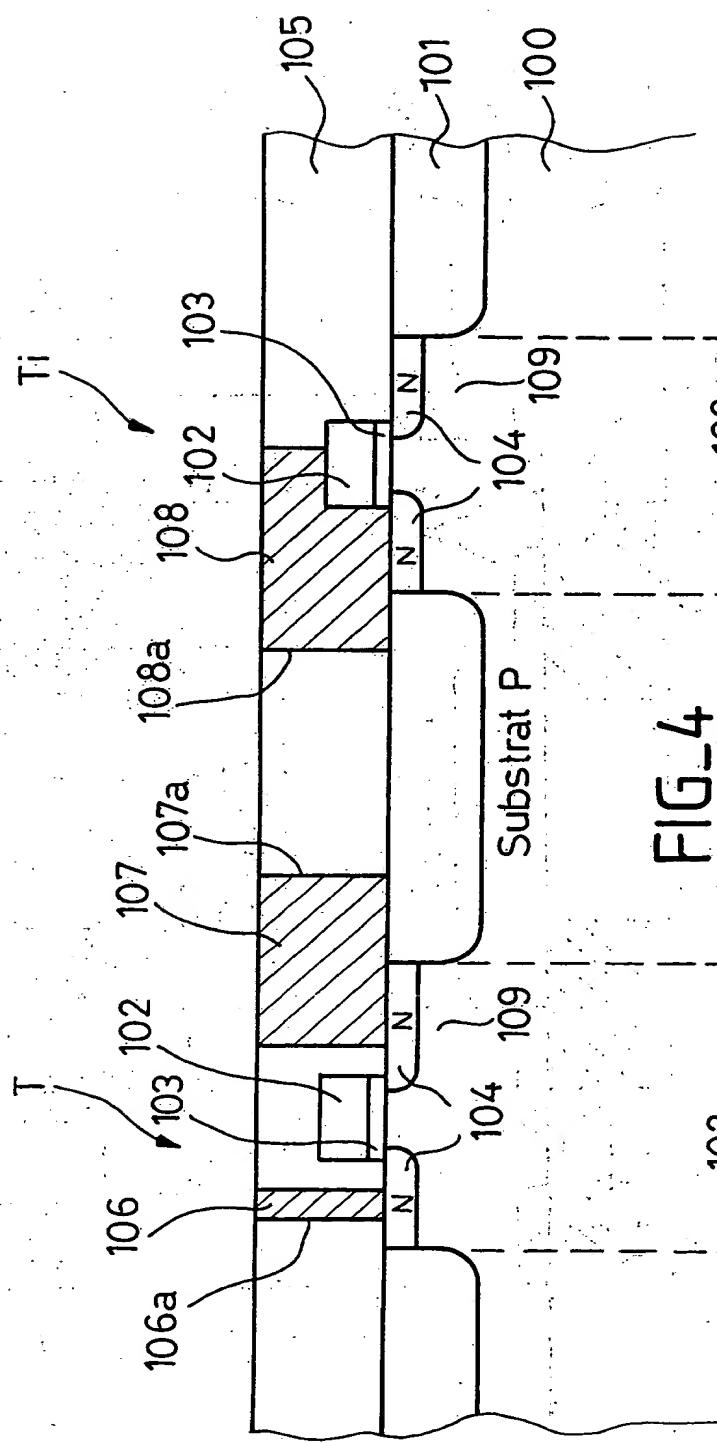
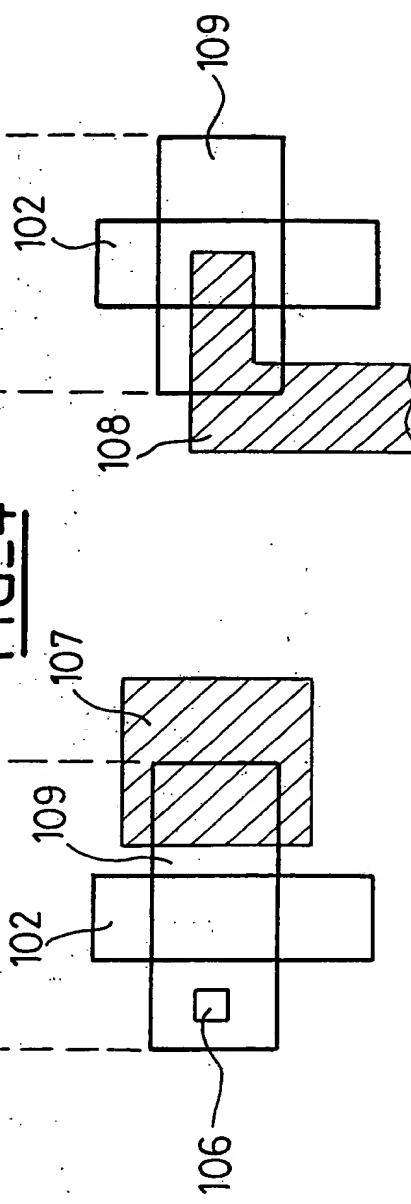
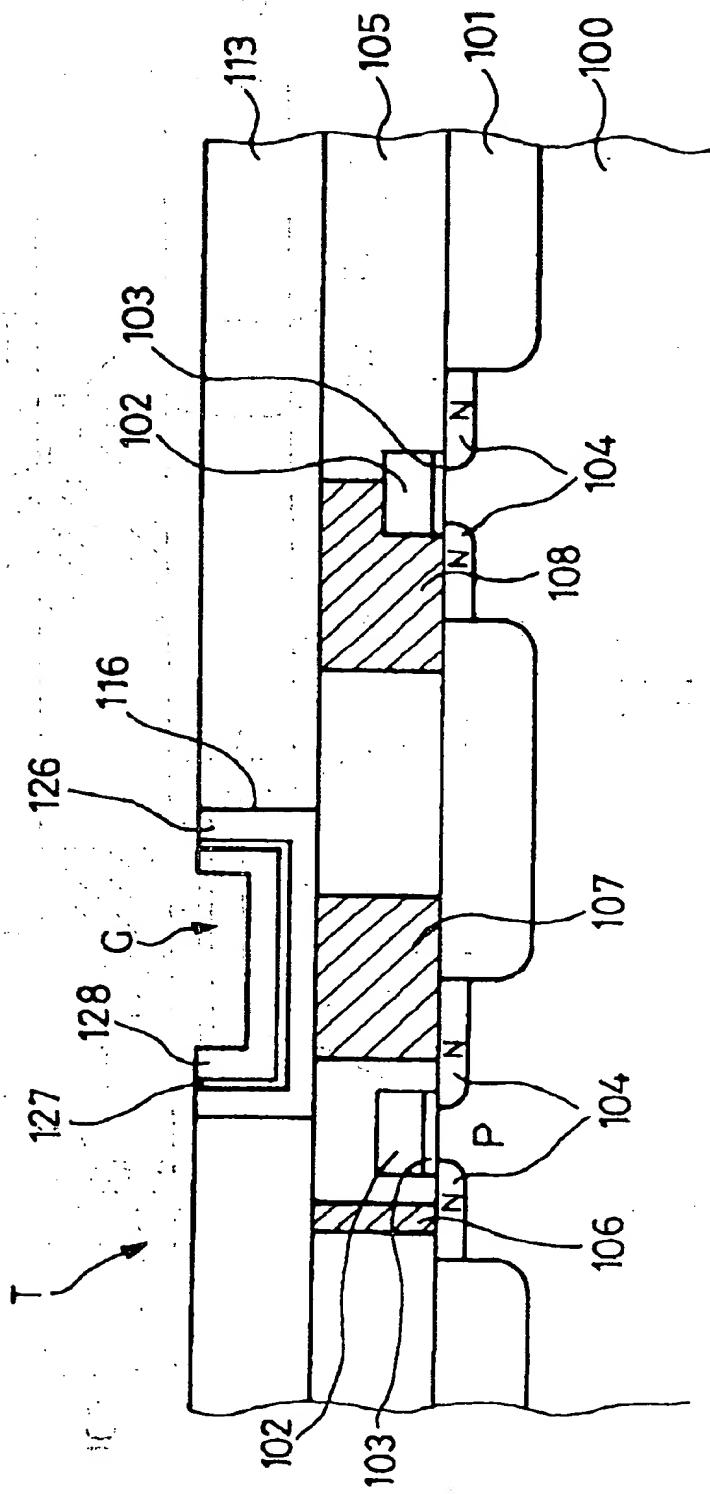


FIG. 4



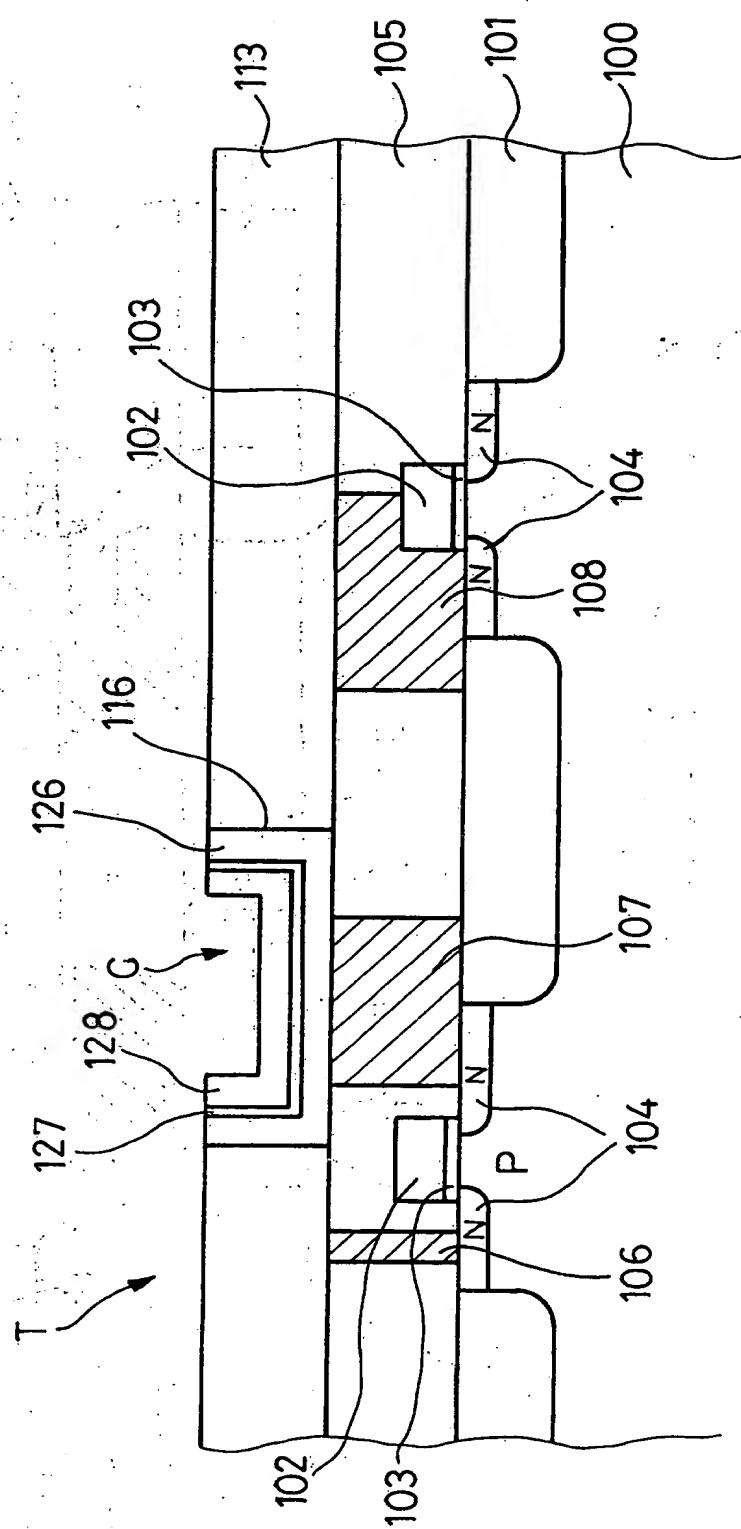
4/5

FIG.5

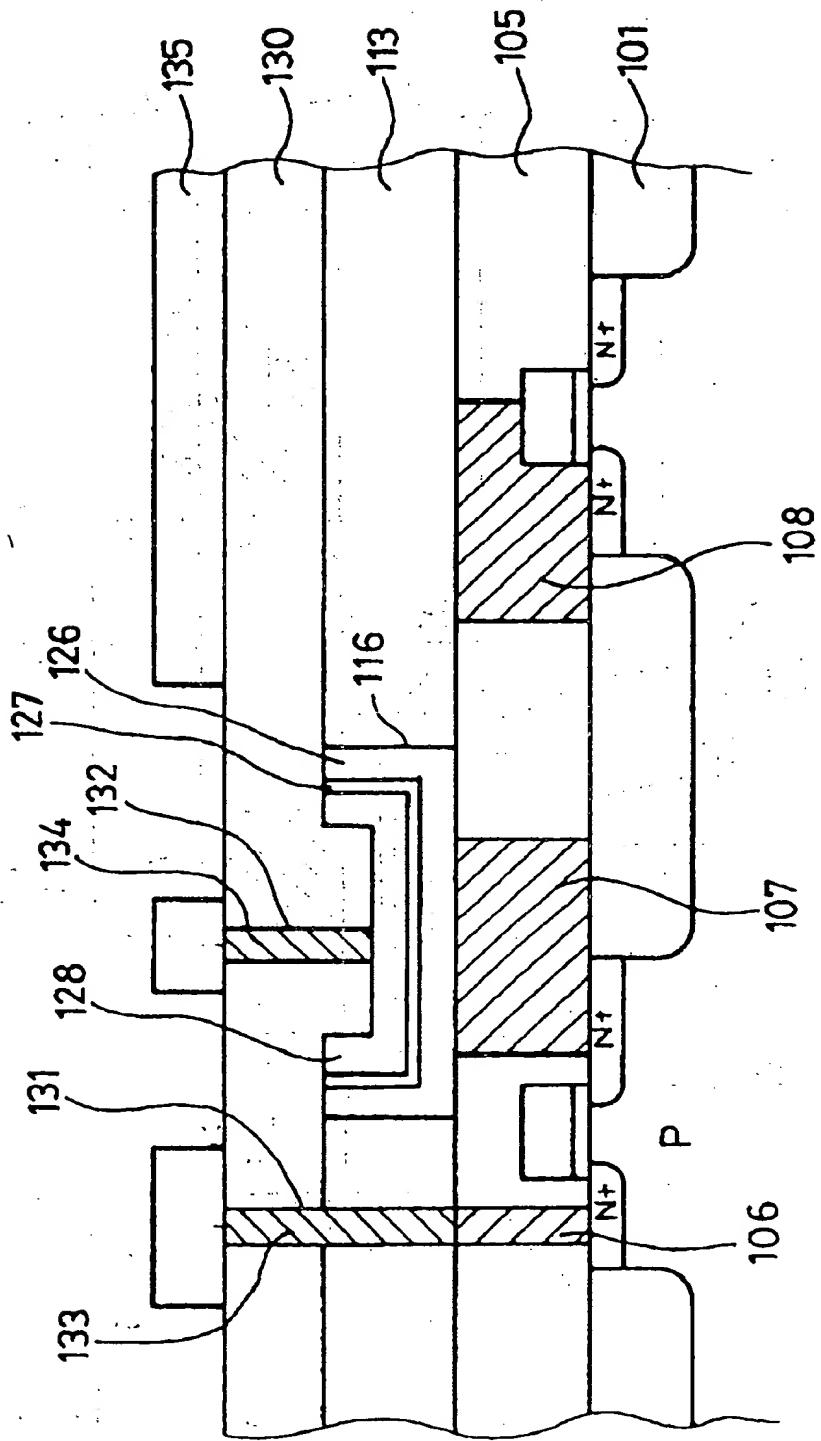
B00/4253 QT

4 / 5

FIG 5

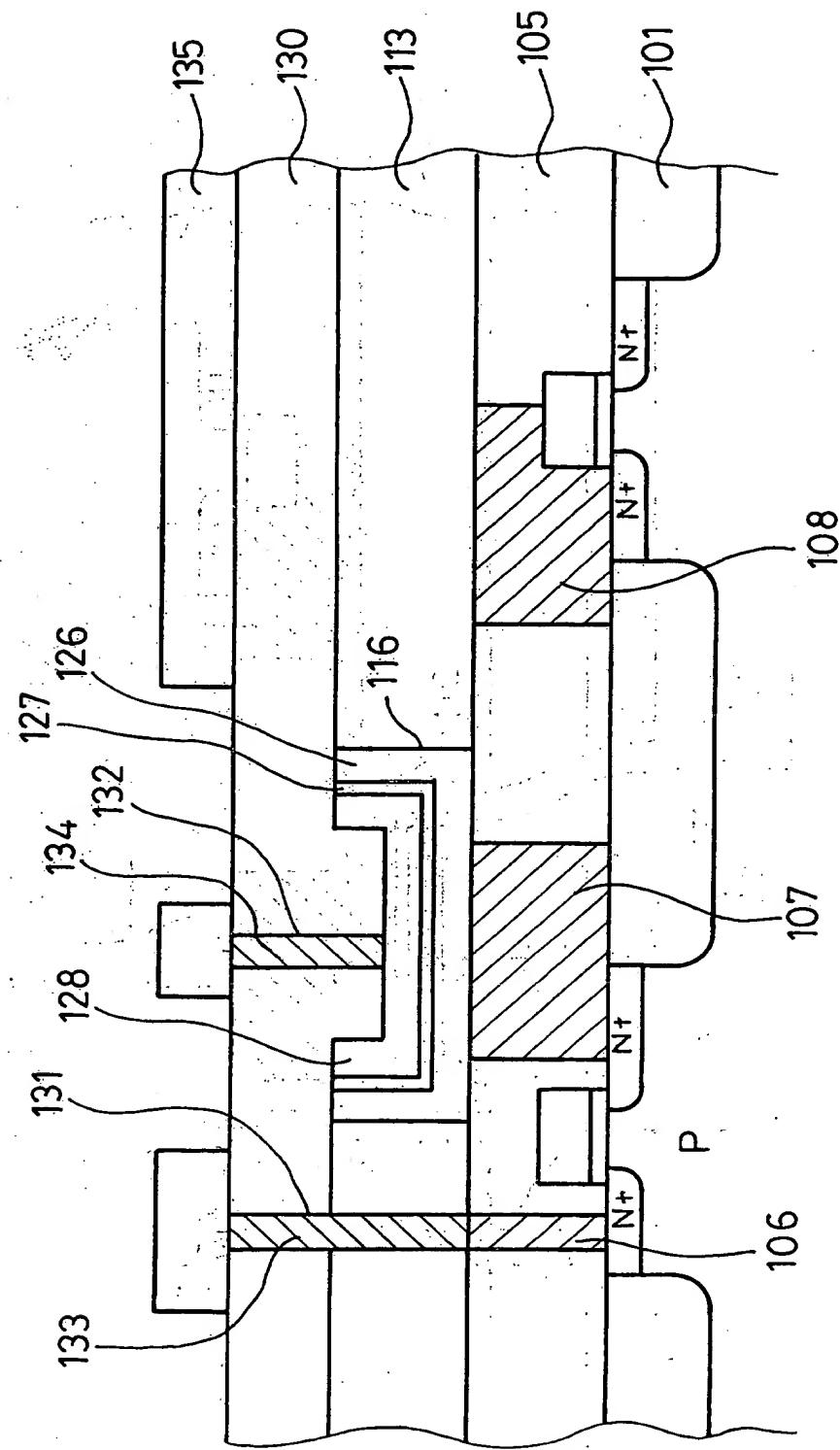


5/5

FIG_6

B00/4253 QT

5/5

FIG_6

THIS PAGE BLANK (USPTO)